

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020003001 A  
(43)Date of publication of application: 10.01.2002

(21)Application number: 1020000037382 (71)Applicant: HYNIX SEMICONDUCTOR INC.  
(22)Date of filing: 30.06.2000 (72)Inventor: JIN, SEONG GON  
LEE, TAE GWON  
LEE, WAN GYU  
PARK, TAE SU  
YANG, JUN MO

(51)Int. Cl. H01L 21/24

(54) METHOD FOR FORMING EPITAXIAL TITANIUM SILICIDE LAYER

(57) Abstract:



PURPOSE: A method for forming an epitaxial titanium silicide layer is provided to reduce a contact resistance and leakage current of a semiconductor device by preventing a condensing phenomenon of a silicide layer.

CONSTITUTION: A nitrogen trap layer is formed by performing a nitrogen plasma process on a surface of a silicon substrate(21). A titanium layer is deposited on the silicon substrate(21) including the nitrogen trap layer by using an IMP(Ion Metal Plasma) method. A titanium nitride(24) is formed by reacting the nitrogen trap layer with the titanium layer in a rapid thermal process. An epitaxial titanium silicide layer(25) is formed on the surface of the silicon substrate(21) by performing a thermal process. The epitaxial titanium silicide layer(25) is used for restricting a silicide reaction between the titanium layer and the silicon substrate(21).

&copy; KIPO 2002

Legal Status

Date of final disposal of an application (20041218)

Patent registration number (1004649420000)

Date of registration (20041224)

Date of opposition against the grant of a patent (00000000)

Best Available Copy

# 한국공개특허공보 특2002-3001호 사본 1부.

[첨부그림 1]

특 2002-0003001

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 21/24

(11) 공개번호 특2002-0003001  
(43) 공개일자 2002년 04월 10일

(21) 출원번호 10-2000-0037362  
(22) 출원일자 2000년 06월 30일  
(71) 출원인 주식회사 하이닉스반도체 박종섭  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자 이태권  
경기 도성남시분당구 아매동 아름마을 건영아파트 112-104  
양준모  
경기 도이천시 대월면 사동리 441-1 현대전자사원아파트 103-706  
박태수  
서울특별시 강남구 역삼동 629-7  
전성곤  
경기 도이천시 대월면 사동리 441-1 현대전자사원아파트 110-1501  
이완규  
경기 도성남시분당구 정자동 117 한울주공아파트 603-706  
(74) 대리인 특허법인 신성

심사청구 : 없음

### (54) 예피택셜 티타늄실리사이드막의 형성 방법

요약

본 발명은 후속 열공정시 상변태 및 응집이 발생하는 것을 방지하는데 적합한 티타늄실리사이드막의 형성 방법에 관한 것으로, 이를 위한 본 발명은 실리콘층 표면에 질소플라즈마를 처리하여, 상기 실리콘층 표면 내에 질소트랩층을 형성하는 제 1 단계; 상기 질소트랩층을 포함한 실리콘층상에 티타늄막을 증착하고, 상기 티타늄막 증착시 상기 질소트랩층과 증착되는 티타늄막이 반응하여 티타늄나이트라이드막을 형성하는 제 2 단계; 및 상기 제 2 단계의 결과물에 열처리를 실시하여 상기 실리콘층 표면에 예피택셜 다다늄실리사이드막을 형성하는 제 3 단계를 포함하며, 상기 티타늄나이트라이드막은 상기 티타늄막과 실리콘층의 실리사이드반응을 억제시킨다.

도면도

52a

세인어

티타늄실리사이드, C54, C49, 응집, 질소플라즈마

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 티타늄실리사이드막의 형성 방법을 개략적으로 도시한 도면,  
도 2a 내지 도 2c는 본 발명의 실시예에 따른 예피택셜 C49-TiSi<sub>2</sub>의 형성 방법의 도면,  
도 3a 및 도 3b는 질소플라즈마처리에 따른 TiSi<sub>2</sub>상의 구조변화를 도시한 그래프,  
도 4a 및 도 4b는 질소플라즈마처리의 유무에 따른 TiSi<sub>2</sub>의 미세구조변화를 도시한 그래프,  
도 5a는 질소플라즈마처리를 실시하지 않은 C54-TiSi<sub>2</sub>의 단면을 도시한 도면,

**ABSTRACT**

The present invention relates to a metal line structure that is highly heat-resistant and a method for forming the same. First, an inter-layer insulation layer is formed on a bottom conductive layer formed on a substrate in which an active region is formed, and then, a portion of the inter-layer insulation layer is removed to form a contact opening that exposes a portion of the bottom conductive layer. Afterwards, a reaction adjustment layer including a metal compound with a high melting point and a reaction metal layer including a metal with a high melting point are sequentially formed over the above resulting structure, or the reaction adjustment layer and the reaction metal layer are deposited consecutively at the same apparatus. A thermal annealing process is then applied to form an ohmic layer on the bottom conductive layer disposed at the bottom of the contact opening. Only the reaction metal layer or both the reaction metal layer and the reaction adjustment layer is/are removed. A diffusion barrier layer including a material with a high melting point and a top conductive layer are sequentially formed on the resulting substrate structure without the reaction metal layer and/or the reaction adjustment layer, thereby forming a high heat-resistant metal line structure. The reaction adjustment layer causes the ohmic layer including a material like titanium silicide to be uniformly formed, and as a result, it is possible to improve device characteristics and enhance the integration scale of semiconductor devices.

21 : 실리콘기판  
22 : 절소트랩층  
23 : 티타늄막  
24 : 티타늄나이트라이드막  
25 : C49-TiSi<sub>2</sub>

## 연구의 목적

그리고, 이미 형성된 C54-TiSi<sub>2</sub>는 열역학적 에너지를 낮추기 위하여 결정입계 면적이 감소하는 그루빙(Grooving)현상이 발생하며, 이 과정에서 C54-TiSi<sub>2</sub>의 두께가 더욱 불균일해져 거칠기가 증가된다.

본 발명은 상기 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 심리사이드막의 응집현상을 방지하여 소자의 콘택저항 및 누설전류를 감소시키는 데 적합한 티타늄심리사이드막의 형성 방법에 관한 것이다.

상기의 목적을 달성하기 위한 본 발명은, 실리콘층 표면에 질소플라즈마를 처리하여, 상기 실리콘층 표면에 질소태입층을 형성하는 제 1 단계; 상기 질소태입층을 포함하, 실리콘층상에 티타늄층을 형성하고, 상기 티타늄층을 통해서 상기 질소태입층과 접촉되도록 티타늄막을 반응하여, 티타늄나이트라이드막을 형성하는 제 2 단계; 및 상기 제 2 단계의 결과물에 열처리를 실시하여 상기 실리콘층 표면에 에피택셜 티타늄실리사이드막을 형성하는 제 3 단계를 포함하여, 상기 티타늄나이트라이드막은 상기 티타늄과 실리콘층의 실리사이드반응을 억제시키는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설

영하기로 한다.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 에피택셜 C49-TiSi<sub>2</sub>의 형성 방법을 도시한 도면이다.

도 2a에 도시된 바와 같이, 티타늄(Ti)을 증착하기 전에 실리콘기판(21)에 400°C~450°C온도와 3torr~5torr의 압력하에서 N<sub>2</sub> 또는 H<sub>2</sub> 플라스마를 400W의 파워로 30초동안 처리하며, 상기 실리콘기판(21)의 표면에 질소트랩층(22)을 형성한다. 이 때, 상기 질소트랩층(22)은 질소이온들이 실리콘(Si)의 빈격자(Vacancy site)에 침입하여 트랩되므로써 형성되는데, 상기 실리콘은 다이아몬드 큐빅(Diamond cubic)구조로 0, 3/4, 1/4 지점에 빈격자가 존재한다. 상기 질소트랩층(22)은 후속 티타늄 증착시 티타늄원자와 결합하여 티타늄나이트라이드(TiN)를 형성한다.

도 2b에 도시된 바와 같이, 상기 질소트랩층(22)을 포함한 실리콘기판(21)상에 IMP(Ion Metal Plasma)법을 이용하여 티타늄(23)을 50A~300A의 두께로 증착한다.

도 2c에 도시된 바와 같이, 상기 티타늄(23) 증착후, 실리콘사이드반을 위한 2단계 금속열처리를 실시한다. 이 때, 상기 금속열처리의 1단계는 670°C~650°C에서 20초~30초동안 질소분위기로 실시하며, 2단계는 850°C~900°C에서 20초~30초동안 질소분위기에서 실시한다.

상기와 같이 질소트랩층(22)이 형성된 상태에서 금속열처리를 실시하면, 증착되는 티타늄(23) 원자와 질소트랩층(22)이 반응하여 티타늄나이트라이드(TiN)(24)를 형성하게 되고, 상기 티타늄나이트라이드(TiN)(24)는 실리콘과 티타늄의 확산을 방지하여 실리콘사이드의 형성 속도를 늦추게 된다.

즉, 후속 금속열처리공정에서 순수한 티타늄보다 티타늄과 실리콘의 반응이 억제되기 때문에, 티타늄나이트라이드막(24)의 형성이 먼저 일어나게 된다. 이러한 티타늄나이트라이드막은 실리콘과 티타늄의 확산을 방해하여 실리콘사이드반응이 느리게 진행되도록 하고, 따라서 에너지가 가장 안정한 에피택셜 C49-TiSi<sub>2</sub>(25)를 형성한다.

이 때, 상기 C49-TiSi<sub>2</sub>(25)는 실리콘기판(21)과 (060)TiSi<sub>2</sub>/(200)Si, [100]TiSi<sub>2</sub>//[011]Si의 방위관계를 갖는 에피택셜층이며, 입계가 존재하지 않으므로 C54-TiSi<sub>2</sub>의 핵생성이 어렵고 입계면적 감소에 의한 그루빙현상이 발생하지 않는다.

상기와 같이 에피택셜 C49-TiSi<sub>2</sub>(25)는 실리콘기판(21)과 반정합 계면을 형성하고 미스피트(Misfit) 전위를 형성함으로써 실리콘기판(21)과 티타늄실리콘사이드간의 계면에서의 변형에너지를 최소화한다.

통상적으로 C49-TiSi<sub>2</sub>에서 C54-TiSi<sub>2</sub>로의 변태시 C54-TiSi<sub>2</sub>의 핵은 입계의 높은 에너지 지역에서 형성되는데, 에피택셜 C49-TiSi<sub>2</sub>(25)는 입계가 존재하지 않고 실리콘과의 계면만이 존재한다.

이렇듯 실리콘기판(21)과 에피택셜 C49-TiSi<sub>2</sub>(25)의 계면은 반정합을 형성하므로써 최초의 에너지만을 가지기 때문에, 일반적인 다결정 구조의 C49-TiSi<sub>2</sub>에 비해 C54-TiSi<sub>2</sub>의 핵생성이 일어나기가 어렵다. 따라서 후속 열공정시 에피택셜 C49-TiSi<sub>2</sub>(25)이 C54-TiSi<sub>2</sub>로의 상변태가 발생되지 않으며, C54-TiSi<sub>2</sub>의 핵생성 및 성장에 의한 티타늄실리콘사이드의 응집이 발생하지 않는다.

도 3은 질소플라스마처리에 따른 TiSi<sub>2</sub>상의 구조변화를 나타낸 도면으로서, 질소플라스마처리를 실시하지 않은 경우(A), (311)면의 C54-TiSi<sub>2</sub>상이 나타나며, 질소플라스마처리를 30초동안 실시한 경우(B), (060)면의 C49-TiSi<sub>2</sub>상이 나타난다.

도 4a 및 도 4b는 질소플라스마처리의 유무에 따른 TiSi<sub>2</sub>의 미세구조변화를 도시한 그래프로서, 질소플라스마처리를 하지 않은 경우, (040)C54-TiSi<sub>2</sub>, (220)C54-TiSi<sub>2</sub>, (311)C54-TiSi<sub>2</sub>만이 나타나며, 질소플라스마처리를 30초동안 실시한 경우에는 (020)C49-TiSi<sub>2</sub>, (040)C49-TiSi<sub>2</sub>, (111)TiN, (060)C49-TiSi<sub>2</sub>이 나타난다.

도 5a에 도시된 바와 같이, 질소플라스마처리를 실시하지 않은 경우, 실리콘기판과 C54-TiSi<sub>2</sub>상의 계면에 입계가 존재함을 알 수 있고, 도 5b에 도시된 바와 같이, 질소플라스마처리(30초)를 실시한 경우, 실리콘기판과 C49-TiSi<sub>2</sub>의 계면에 입계가 존재하지 않고, C49-TiSi<sub>2</sub>의 (060)면과 실리콘기판의 (200)면이 평행함을 알 수 있다. 여기서, 통상적으로 상기 실리콘기판의 (200)면은 (100)면과 평행하다.

도 6은 후속 금속열처리온도에 따른 TiSi<sub>2</sub>의 구조변화를 도시한 그래프로서, 1000°C의 열처리에서도 C49-TiSi<sub>2</sub>상이 존재함을 알 수 있는 반면, C54-TiSi<sub>2</sub>상은 존재하지 않는다.

상술한 것처럼, 티타늄 증착전에 질소플라스마처리를 실시하므로써 에피택셜 C49-TiSi<sub>2</sub>(25)이 후속 금속열처리공정시 1000°C까지 안정한 상태로 존재한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 본 발명의 효과

상술한 본 발명의 티타늄실리콘사이드 형성 방법은 실리콘기판에 질소플라스마처리를 실시하여 실리콘기판의 (100)면과 (060)면이 평행한 에피택셜 C49-TiSi<sub>2</sub>의 형성하므로써 상변태가 발생하지 않은 열적으로 안

정한 실리콘사이드막을 형성할 수 있는 효과가 있으며, 또한 상기 에피택셜 C49-TiSi<sub>2</sub>는 후속 열처리공정시 1000℃까지 용접이 발생하지 않으므로 금속비트러인 및 실리콘기판, 금속캐패시터전극과 실리콘기판과의 콘택형성시 저항 및 누설전류를 감소시킬 수 있는 효과가 있다.

(5) 청구의 범위

청구항 1

실리콘사이드막 형성 방법에 있어서,

실리콘층 표면에 질소플라즈마를 처리하여 상기 실리콘층 표면내에 질소트랩층을 형성하는 제 1 단계;

상기 질소트랩층을 포함한 실리콘층상에 티타늄막을 증착하고, 상기 티타늄막 증착시 상기 질소트랩층과 증착되는 티타늄막이 반응하여 티타늄나이트라이드막을 형성하는 제 2 단계; 및

상기 제 2 단계의 결과물에 열처리를 실시하여 상기 실리콘층 표면에 에피택셜 티타늄실리콘사이드막을 형성하는 제 3 단계를 포함하며,

상기 티타늄나이트라이드막은 상기 티타늄막과 실리콘층의 실리콘사이드반응을 억제시키는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 단계는,

400℃~450℃ 온도와 3torr~5torr의 압력하에서 N<sub>2</sub> 또는 NH<sub>3</sub> 플라즈마를 이용하여 이루어지는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 3

제 1 항에 있어서,

상기 제 2 단계에서,

상기 티타늄막은 IAP증착법을 이용하여 50Å~300Å의 두께로 형성되는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 4

제 1 항에 있어서,

상기 제 3 단계에서,

상기 열처리는 2단계로 진행되며, 1단계는 질소분위기에서 670℃~850℃에서 20초~30초동안 실시되고 2단계는 질소분위기에서 950℃~990℃에서 20초~30초동안 실시되는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 5

제 1 항에 있어서,

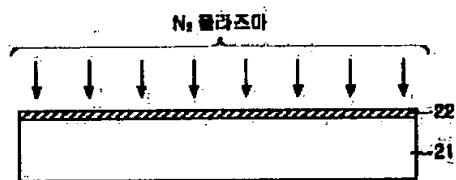
상기 에피택셜 티타늄실리콘사이드막은 C49상 티타늄실리콘사이드막이며, 상기 에피택셜 티타늄실리콘사이드막의 (060)면이 실리콘층의 (100)면에 평행하게 형성된 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

도면

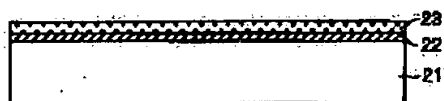
도면1



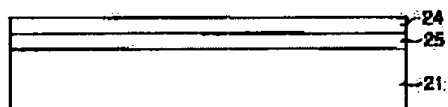
도면2a



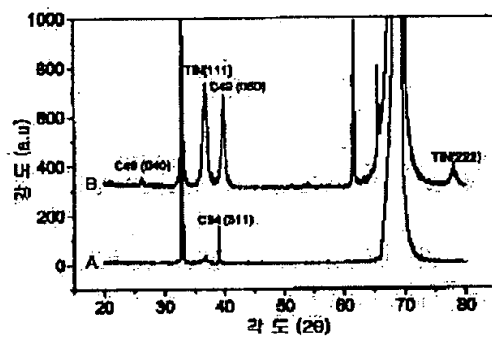
도면2b



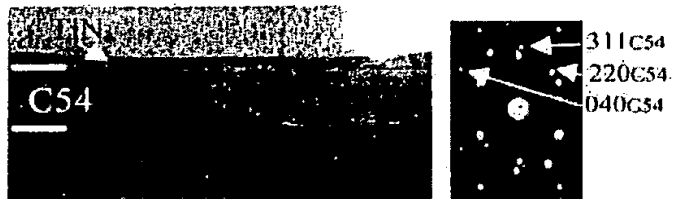
도면2c



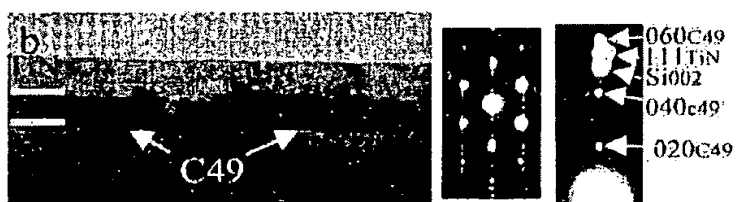
도면3



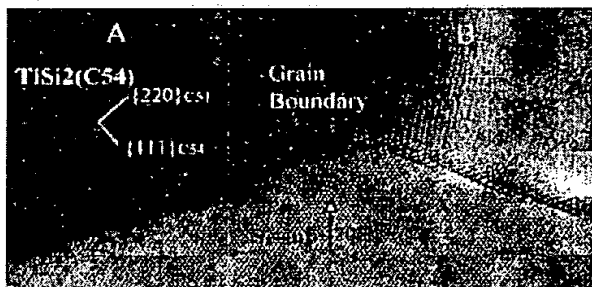
도 4a



도 4b

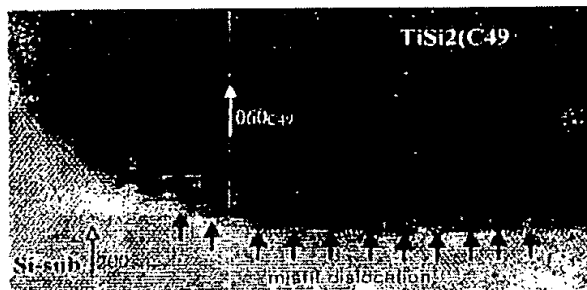


도 5a

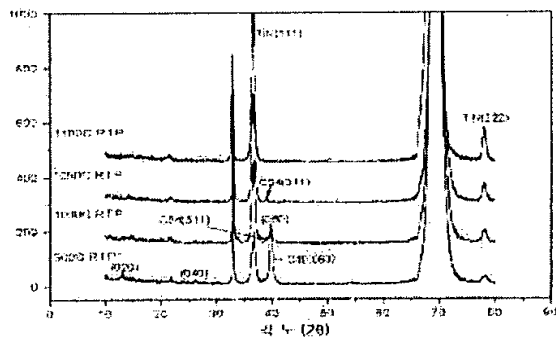




도 56



도 57



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**